



PAJ 1994 to  
today





Your search statement: Words anywhere: "@PN='06231073'"  
Record 1 of 1



(19) JAPANESE PATENT OFFICE

(11) Publication Number: JP 06231073 A

(43) Date of publication: 19940819

(51) int. Cl : G06F013-36  

(71) Applicant:  
NCR INTERNATL INC

(72) Inventor:  
HEIL THOMAS F  
WALRATH CRAIG A  
HAWKEY JEFF A  
PIKE JIM D

(21) Application Information:  
19931216 JP 05-342704

(32) Priority Date: 19921224

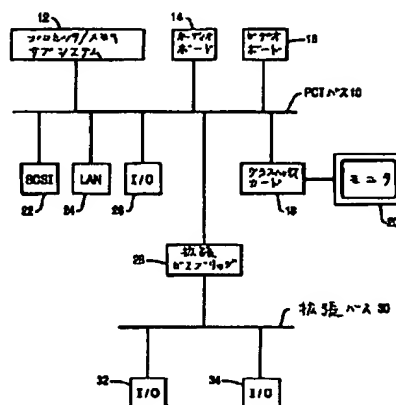
(30) Priority Information:  
19921224 US 996276-92

# MULTI-PORT PROCESSOR EQUIPPED WITH PERIPHERAL EQUIPMENT INTERCONNECTING PORT AND RAM BUS PORT

## (57) Abstract:

**PURPOSE:** To provide a dual port processor structure in which a first port is interfaced with a PCI bus, and a second port is interfaced with an RAM BUS (random access memory bus) channel.

**CONSTITUTION:** This computer system is provided with a processor having first and second ports, RAM BUS channel connected with the first port of this processor and a memory array for communicating an electric signal between those, and PCI (peripheral equipment interconnecting) bus connected with the second port of this processor and one or more electronic devices for communicating the electric signal between those.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-231073

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl.<sup>5</sup>

G 0 6 F 13/36

識別記号

3 2 0 Z 9072-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 1 F D (全 18 頁)

(21)出願番号 特願平5-342704

(22)出願日 平成5年(1993)12月16日

(31)優先権主張番号 9 9 6 2 7 6

(32)優先日 1992年12月24日

(33)優先権主張国 米国(U S)

(71)出願人 592089054

エヌ・シー・アール・インターナショナル・インコーポレイテッド

アメリカ合衆国 45479 オハイオ、デイトン サウス バターソン プールバード 1700

(72)発明者 トーマス エフ. ハイル

アメリカ合衆国 29640 サウス カロライナ、イーズリ、ヒッコリー ウッド コート 101

(74)代理人 弁理士 西山 善章

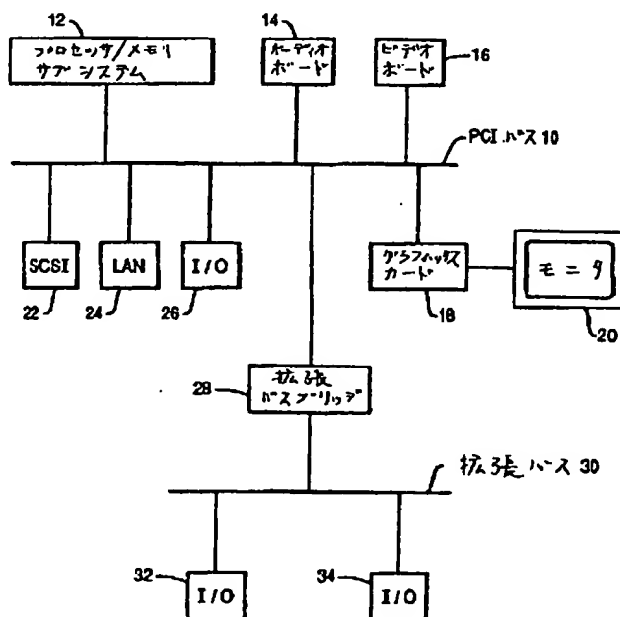
最終頁に続く

(54)【発明の名称】 周辺装置相互接続ポートならびにRAMBUSポートを備えた多ポート処理装置

(57)【要約】

【目的】 第1のポートがPCIバスとインタフェースし第2のポートがRAMBUSチャネルとインタフェースするようになった2重ポート・プロセッサ構造を提供する。

【構成】 本発明のコンピュータ・システムは第1と第2のポートを有するプロセッサと、前記プロセッサの前記第1のポートおよびメモリ・アレイへ接続し、これらの間で電気信号を通信するためのRAMBUS(ランダムアクセス・メモリ・バス)チャネルと、前記プロセッサの前記第2のポートおよび1つまたはそれ以上の電子装置へ接続し、これらの間で電気信号を通信するためのPCI(周辺機器相互接続)バスとを備える。



## 【特許請求の範囲】

【請求項1】 (a) 第1と第2のポートを有するプロセッサと、

(b) 前記プロセッサの前記第1のポートおよびメモリ・アレイへ接続し、これらの間で電気信号を通信するためのRAMUBUS (ランダムアクセス・メモリ・バス) チャネルと、

(c) 前記プロセッサの前記第2のポートおよび1つまたはそれ以上の電子装置へ接続し、これらの間で電気信号を通信するためのPCI (周辺機器相互接続) バスを  
10 含むことを特徴とするコンピュータ・システム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は一般にコンピュータ装置の入力/出力(I/O) デバイス・インタフェースに関し、より特定すれば、コンピュータI/Oバスに関する。

## 【0002】

【従来の技術】通信インタフェースまたは入出力バスは別個の装置、たとえばプロセッサ、メモリ、周辺装置などを相互接続するためにコンピュータ・システム内で一般に使用される。標準規格化したインタフェース、たとえばISA、EISA、MCA (マイクロチャネル・アーキテクチャ・バス) などが、コンピュータシステム内で旧くから使用され、異なるプラットフォーム間でまた異なるプロセッサ世代間で共通したI/O基板インタフェースを提供してきた。しかしこれらのインタフェースに関して多数の問題が存在している。

【0003】これらの従来技術のインタフェースにおける重要な問題はコストについてである。多くの性能重視の周辺装置がマザーボード (本体基板) 上に移行しつつあり、プロセッサに近付くことの性能面での利点と最短相互接続距離だけではなく、高度な集積によるコストおよび空間占有面での利点にも貢献している。しかし、得られるコストと占有空間の節約との完全な統合は、標準的な部材間の相互接続および各種のプロセッサや周辺装置をバスに接続するための「接続論理」の欠如により障害されている。

【0004】従来技術のインタフェースによる別の問題は性能面での制約についてである。標準的なI/O拡張バスは、高性能装置、特にグラフィック装置や光ファイバーによるLAN (構内情報交換通信網) のような将来的な通信装置に見られる一般的なアクセスの可能性と厳しい帯域幅の制約のため性能的に限界がある。

【0005】さらに、集積度が高まるほど、性能面で重要とされる周辺装置制御装置がプロセッサ寄りへと移行し、「プロセッサの単調極まる作業」に曝すため負担が大きい。言い換えれば、これらの部材がプロセッサのバス周波数、バス幅、バス手順 (たとえばバースト転送など) や信号規格 (たとえば3ボルト) の頻繁な変更  
50

に従うよう強制されることになる。不必要にこれらの周辺装置に単純作業を強いることでシステムのコストが増大し最新のシステムの利用が遅滞する。

【0006】従来技術のインタフェースによるさらに別の問題は信頼性である。コンピュータ業界が分散処理に向って移行しつつあるため、クライアント・システムは分散システム内で信頼性面の負担 (弱い結合) となり、従来は大型サーバシステムに限られていた信頼性と故障封じ込めのさまざまな水準を提供するように強制されることとなる。

## 【0007】

【発明が解決しようとする課題】前述の従来技術における制約を克服するため、および本発明の明細書を熟読し理解するにつれて明らかとなるであろうその他の制約を克服するため、本発明は第1のポートがPCIバスとインタフェースし第2のポートがRAMBUSチャネルとインタフェースするような2重ポート・プロセッサアーキテクチャを開示する。

## 【0008】

【課題を解決するための手段】上記目的を達成するために、本発明のコンピュータ・システムは第1と第2のポートを有するプロセッサと、前記プロセッサの前記第1のポートおよびメモリ・アレイへ接続し、これらの間で電気信号を通信するためのRAMUBUS (ランダムアクセス・メモリ・バス) チャネルと、前記プロセッサの前記第2のポートおよび1つまたはそれ以上の電子装置へ接続し、これらの間で電気信号を通信するためのPCI (周辺機器相互接続) バスとを備える。

## 【0009】

【実施例】以下の好適実施例の詳細な説明においては本発明を実現し得る特定の実施例の図示を行ない本明細書の一部をなす添付の図面を参照する。本発明の範囲を逸脱することなくその他の実施例を使用しまた構造的変化を成しうすることは理解すべきである。図面においては同等の部材はおなじ参照番号が割り当ててある。

## 【0010】序

本出願ではPCI (Peripheral Component Interconnect) と称するコンピュータシステム用インタフェースまたはバスにおける発明の幾つの特徴を詳述する。PCIバスについてのより詳細な解説は本出願でも参照に含めている文書の、「PCIバス第1版仕様書」1992年6月22日 (Peripheral Component Interconnect (PCI), Revision 1.0 Specification, June 22, 1992) で利用できる。

【0011】PCIバスは高集積周辺装置制御装置部材とプロセッサ/メモリ・システム間で使用することを目的とする物理的相互接続装置である。PCIバスは、ISA、EISA、またはMCAバスが基板レベルで標準インタフェースとなっている以上に部材レベルでの標準インタフェースを意図している。ISA、EISA、M

CAバスが異なるプラットフォームと異なるプロセッサ世代にわたって共通のI/Oボードを提供しているように、PCIバスは異なるプラットフォームと異なるプロセッサ世代にわたり共通のI/O部材インタフェースとなるべく意図している。

【0012】PCIバスの使用は広範囲のI/O部材が「接合」論理すなわち部材の直接的相互接続なしに直接接続可能なローカルバスの標準化を企図している。異なる部材の相互接続の目標は幾つかの利点を有する：

\*ASIC（特定用途向け集積回路）およびその他のVLSI装置の範囲内の電気的駆動回路および周波数仕様、

\*少ない部品点数と、少ない電源容量と、高密度パッケージ化によるコストの減少と信頼性の向上、

\*高速ローカルバスによる性能面の利点、

\*プロセッサ/メモリの作業と切り離れたシステムI/Oコアの設計、これによって複数世代にわたるプロセッサ/メモリ技術に対応可能、

\*共通の物理インタフェースによる広範囲なI/O機能を提供する制御可能な手順。

#### 【0013】PCIバス「常時オン」手順

PCI仕様では常に（衝突回避に必要な周回クロックを除き）バスがこれに接続した幾つかの装置により論理値1または0に能動的に駆動されることを保障するバス手順機構を提供する。バスに接続してあるすべての装置が仕様に準拠している限り、バスは長時間にわたり浮動することはなくなり、これによりシステム設計者は他のバスで通常必要とされるプルアップ抵抗を排除することが出来るようになる。

【0014】信号が常に駆動されることを保障しないバスにおけるプルアップ抵抗の排除は切り換え域値電圧付近でのバス浮動の危険に曝される。これにより特にCMOS装置では電力消費および雑音が増加する。本発明はこれらの問題を回避しつつ尚且つプルアップ抵抗を排除するための手段を提供し、これによりコストの低減、プリント配線基板上の空間の節約、ならびに電力要求の減少を実現する。

#### 【0015】RAMBUSチャネル手順

RAMBUS仕様はダイナミック・ランダムアクセス・メモリ（DRAM）構造と高速部材のインタフェースを提供する。RAMBUSチャネルはメモリ・サブシステムを相互接続するために使用する狭く高速の250MHzバスである。1つまたはそれ以上のDRAMを単一のRAMBUSチャネルに接続して完全なメモリ・サブシステムを構成することが出来る。RAMBUSチャネルを使用すると、単一のRAMBUS上のDRAMはプロセッサまたはその他の装置へ毎秒500メガバイトの速度でデータを供給できる。

【0016】RAMBUSチャネルは16本の信号線と11本の電力ピンからなり、装置間の要求、読み込み、

書き込みバケットを転送するために使用する9本のBUSDATA（バスデータ）信号線と、装置間のフレーミングおよび確認（ACK）パケットに用いるBUSCTRL（バス制御）信号線と、RAMBUSチャネルをオンにするために使用する制御信号であるBUSENABLE（バスイネーブル）信号線と、送信および受信クロック両方を提供する2本のCLOCK（クロック）信号線と、チャネルの電圧基準を提供するVREF（基準電圧）信号線と、デジタイゼーションの初期化用TTL水準信号を提供するSINおよびSOUT信号線とを含む。

#### 【0017】システムの説明

図1はPCIバス10を使用する構成例のブロック図である。プロセッサ12はPCIバス10に接続しており、オーディオボード14、ビデオボード16、モニタ20用ビデオグラフィックス制御装置18、SCSI周辺装置22、LANインタフェース24、およびその他のI/O装置26などの周辺機器も同様である。ブリッジ・インタフェース論理回路28はPCIバス10を標準拡張バス30に接続し、各種拡張I/Oボード32、34でこれらの間のアクセスを提供する。この構成例が何らかの特定の構造上の制約を伴うことを意図していないことは当業者には理解されよう。

【0018】本発明において、プロセッサ12はメモリまたはI/Oアドレス空間内のどこかに配置してある周辺装置へPCIバス10を介して直接アクセスすることが出来る。PCIバス10に接続している部材は、マスタ、スレーブ、またはマスタとスレーブの組み合わせ、の3種類のクラスのいずれかに属する。これらの部材が全てPCI仕様に適合しているとすれば、PCIバス10はVLSI相互接続となり、「結合」論理は必要でなくなる。しかし、PCI仕様準拠していないバスに部材を接続する必要がある場合には、特化した論理装置を用いてPCIバスへの接続を行なうことが出来る。

#### 【0019】信号の定義

図2は本発明によるPCIバスの信号定義を示したものである。PCIバスはデータ、アドレッシング、インタフェース制御、調停（アービトレーション）、およびシステム機能を取り扱うために、スレーブのみの装置で最低45ピン、マスタのみの装置またはマスタとスレーブの組み合わせ装置では最低47ピンを必要とする。任意選択のエラー報告にはさらに2本のピンを必要とする。図2のピンは機能グループ別に図示しており、左側には必要なピン、また右側には任意選択ピンを配置してある。図2の信号における方向指示はマスタとスレーブの組み合わせ装置を想定している。

【0020】選択した信号のサブセットを以下で詳細に説明する。その他の信号についてのさらなる情報は、本出願でも参照に含めている文書の、「PCIバス第1版仕様書」1992年6月22日（Peripheral Component Interconnect (PCI), Revision 1.0 Specification, J

une 22, 1992) で利用できる。

【0021】信号名には幾つかの規則が存在する：

1. 信号名の末尾についている記号#は、その信号が低電圧の場合にオン状態が発生することを示し、それ以外では高電圧で信号がオンになる。

2. 記号「(in)」は標準入力のための信号を表わす。

3. 記号「(out)」はトータムボール型出力すなわち標準能動駆動回路を表わす。

4. 記号「(t/s)」は三状態信号すなわち双方向、3状態、入出力信号を表わす。

5. 記号「(s/t/s)」は一度に1つのエージェントが所有し駆動することの出来る低電位でオンになる3状態信号を表わす。(s/t/s)信号を低電位にするエージェントはこれがフロート状態になる少なくとも1クロック前に高電位にする必要がある。新しいエージェントは直前の所有者が(s/t/s)信号を3状態にしてから1クロック周期より以前に信号の駆動を開始することは出来ない。別のエージェントが駆動するまで非活動状態を維持するためにプルアップが必要であり、中央資源が提供しなければならない。

【0022】システム信号

CLK(in)

CLK(クロック)信号はPCIバス上の全てのトランザクションにタイミングを提供し、あらゆる装置への入力となる。これ以外の全てのPCIバス信号はCLK信号の立ち上がり端でサンプリングされ、またこれ以外の全てのタイミング・パラメータは立ち上がり端に対して定義される。PCIバスはCLK信号の広い周波数範囲にわたって動作するものと期待されている。

【0023】AD[31::00](t/s)

AD(アドレスおよびデータ)信号はPCIバス上の同一ピンで多重化される。トランザクションの第1のクロックの間、AD信号は32ビット幅のターゲット装置アドレスを含む。これ以降のクロック周期の間、AD信号は4バイトまでのデータを含む。

【0024】

C/BE#[3::0](t/s)

C/BE(バスコマンドおよびバイト・イネーブル)信号はPCIバス上の同一ピンで多重化される。トランザクションのアドレス相の間、C/BE#信号はバスコマンドを定義する。トランザクションのデータ相の間、C/BE#信号は32AD信号の[バイト・イネーブル]として使用される。バイト・イネーブルはAD信号のどのバイトの組が、すなわち8ビットのグループが意味のあるデータを保持しているかを決定する。たとえば、C/BE#[0]信号はAD信号のバイト0に対応し、C/BE#[3]信号はAD信号のバイト3に対応する。

【0025】PAR(t/s)

PAR(パリティ)信号はAD[31::00]およびC/BE#[3::0]にわたる偶数パリティである。50

パリティの生成はあらゆるPCIエージェントに要求されている。マスタはアドレスおよびデータ書き込み相の間PARを駆動する、ターゲットはデータ読み込み相の間PARを駆動する。

【0026】

【インタフェース制御信号】

FRAME#(t/s)

FRAME#(周期フレーム)信号は現在のマスタ装置が駆動しアクセスの開始と持続を表わす。バストランザクションを開始することを表わすためにFRAME#信号を発行する。FRAME#信号が発行されている間、データ転送が継続する。FRAME#信号の発行を停止すると、トランザクションは最終データ相となる。

【0027】TRDY#(s/t/s)

TRDY#(ターゲット準備完了)信号はターゲット装置がトランザクションの現在のデータ相を完了し得る能力を表わす。TRDY#信号は後述するIRDY#信号と組み合わせて使用する。データ相はTRDY#とIRDY#両方の信号が発行されるどのクロックでも完了する。読み込み中の場合TRDY#信号は有効データがAD信号中に存在することを示す。書き込み中の場合TRDY#信号はターゲット装置がデータ受信の準備を完了したことを示す。IRDY#とTRDY#両方の信号がどちらも発行されるまで待機サイクルが挿入される。

【0028】IRDY#(s/t/s)

IRDY#(イニシエータ準備完了)信号はイニシエータとなるエージェント(マスタ装置)がトランザクションの現在のデータ相を完了し得る能力を表わす。IRDY#信号はTRDY#信号と組み合わせて使用する。データ相はTRDY#とIRDY#両方の信号が発行されるどのクロックでも完了する。書き込み中の場合IRDY#信号は有効データがAD信号に存在することを示す。読み込み中の場合IRDY#信号はマスタ装置がデータ受信の準備を完了したことを示す。IRDY#とTRDY#両方の信号がどちらも発行されるまで待機サイクルが挿入される。

【0029】STOP#(s/t/s)

STOP#信号はマスタが現在のトランザクションを停止する要求を現在のターゲットが行なっていることを示す。

【0030】LOCK#(s/t/s)

LOCK#信号は複数トランザクションを完了するように要求し得る細小単位動作を表わす。LOCK#信号を発行すると、非排他的トランザクションを進めることが出来る。PCIにおけるトランザクション開始の許可はLOCK#の制御を保証するものではない。LOCK#の制御はGNT#との組み合わせでそれ自身の手順で取得する。単一のマスタがLOCK#の所有権を保持している間にPCIを別のエージェントが使用することが可能である。

## 【0031】IDSEL (in)

IDSEL (初期化する装置の選択) 信号は読み込みおよび書き込みトランザクションの設定中に上位側24アドレス線の代わりにチップ選択として使用する。

## 【0032】DEVSEL# (s/t/s)

DEVSEL (デバイス選択) 信号は、これをオンにした場合、現在のトランザクションについて駆動装置がアドレスをターゲット装置として復号したことを表わす。入力としては、DEVSEL#信号はバス上のどの装置が選択されているかを表わす。

## 【0033】調停 (マスタ装置のみ)

## REQ# (out)

REQ# (要求) 信号は中央バス調停装置に対してエージェントがバスの使用を希望していることを示す。REQ#信号は2点間の信号であり、全てのマスタ装置およびマスタとスレーブの組み合わせ装置も調停装置との間に固有のREQ#信号接続を有する。

## 【0034】GNT# (in)

GNT# (許可) 信号は調停装置によりバスへのアクセスが許可されたことをエージェントに示す。GNT#信号は2点間の信号であり、全てのマスタ装置およびマスタとスレーブの組み合わせ装置も調停装置との間に固有のGNT#信号接続を有する。

## 【0035】64ビットバス拡張ピン (任意)

64ビット拡張ピンは全体が任意選択である。つまり、64ビット拡張を用いる場合には、この章に記載する全てのピンを必要とする。

## 【0036】D[63::32] (t/s)

D[63::32] (データ) 信号は64ビットデータ転送を行なう場合各データ相の間に追加の32ビットを提供する。これらのピンはアドレス相では予約となっている。

## 【0037】BE#[7::4] (t/s)

BE#[7::4] (バイト・イネーブル) 信号はどのバイト線が意味のあるデータを保持するかを決定する。データ相の間では、BE#[7::4]信号はバイト・イネーブルとして使用する。たとえば、BE#[4]はバイト4にまたBE#[7]はバイト7に適用する。これらはアドレス相では予約となっている。

## 【0038】REQ64# (s/t/s)

REQ64# (64ビット転送要求) 信号は、現在のバスマスタがオンにした場合、64ビット幅のデータ転送をバスマスタが希望していることを表わす。REQ64#信号はFRAME#信号と同じタイミングを有する。

## 【0039】ACK64# (s/t/s)

ACK64# (64ビット転送確認) 信号は現在のアクセスのターゲットとしてアドレスを肯定的に復号した装置がオンにした場合、ターゲットが64ビット幅でのデータ転送を許容していることを表わす。ACK64#信号はDEVSEL#信号と同じタイミングを有する。

## 【0040】PAR64 (t/s)

PAR64 (上位側ダブルワードのパリティ) はD[63::32]信号とBE#[7::4]信号を保護する偶数パリティビットである。

## 【0041】基本的トランザクション制御

アクセスの可能性を最小限に抑えることを目的として、PCI仕様では時間スロットを基準とするのではなくアクセスを基準とするバストランザクションに調停による方法を用いる。つまり、マスタ装置はバス上で実行するそれぞれのアクセスについて調停を行なう必要がある。

【0042】望ましくは、集中調停方式を使用し、それぞれのマスタ装置が中央調停装置に接続した独自の要求(REQ#)および許可(GNT#)信号を有するようにする。調停装置とマスタ装置の間での簡単な要求-許可のハンドシェークを用いてバスへのアクセスを獲得する。

【0043】専用の調停アルゴリズムを調停装置が実施する必要がある。たとえば、優先権、巡回優先権、均等性などである。調停アルゴリズムは最悪の場合の可能性の保証として基準を確立するように定義しなければならない。調停アルゴリズムのため、直前のアクセスの間に調停が発生してPCIバスサイクルが無駄に消費されないようにする。調停装置は単一のGNT#信号がいずれかのクロックで発行されている限りいずれかの方法を実施することが出来る。

【0044】装置はそのREQ#信号を発行することでバスを要求する。バスをある装置が使用できると調停装置が判断した場合、調停装置はその装置のGNT#信号を発行する。調停装置はどのクロックにおいてもその装置のGNT#信号を発行停止することが出来る。そのため、装置はトランザクションを開始したいクロック端でGNT#が発行されるように保証しなければならない。GNT#信号が発行停止された場合、トランザクションを進めてはならない。

【0045】GNT#信号は通常単一のトランザクションに対して装置からバスへのアクセス許可を与える。装置が別のアクセスを希望する場合、REQ#信号の発行を継続するべきである。装置はREQ#信号をいつでも発行停止してよいが、調停装置はこれを、そのデバイスがバスの使用をすでに要求していないものと解釈してその装置のGNT#信号を発行停止できる。

【0046】PCIバスは現在どの装置もバスを使用または要求していない場合に調停装置が選択した装置へGNT#信号を発行するような「調停パーキング」を使用できる。調停装置は所望するいずれの方法でも(たとえば常に一定している、最後に使用したなどを基準とする)この初期設定の所有者を選択することが可能でありまたは全くどれにも割り当てないように選択することが出来、これによって初期設定の所有者としてそれ自身を効果的に指定することが出来る。調停装置がある装置の

GNT#信号を発行しバスが待機状態にある場合、その装置はADおよびC/BE#信号用バッファを有効にしなければならない。この要件は調停装置がバスをなんらかの装置に安全に割り当て、バスが浮動しないことを検知することが出来るように保証するものである。調停装置がバスを割り当てない場合、調停装置が組み込まれている中央資源装置が通常はバスを駆動する、すなわち中央資源装置をバスの初期設定の所有者として効率的に指定することが出来る。

【0047】バスが待機状態であり装置のGNT#信号を調停装置が発行停止している場合、装置は1つの場合を除きバスへのアクセスを行なえない。その1つの場合とは、調停装置がFRAME#信号を発行する装置と同期してGNT#信号を発行停止した場合である。この場合、装置はトランザクションを継続することになる。それ以外の場合では、装置はADおよびC/BE#信号を3状態としなければならない。装置は1信号クロック内で全てのバッファを無効として次のバス所有者との衝突の可能性を回避する必要がある。

【0048】バスの所有権がマスタ装置に保証された後、マスタ装置が低電圧値に駆動することでFRAME#信号を発行し、トランザクションの開始を示す。FRAME#信号が発行される第1のクロック端はアドレス相であり、アドレスおよびバスコマンド符号がそのクロック端でADおよびC/BE#信号により転送される。次のクロック端は1つまたはそれ以上のデータ相の第1を開始し、この間に、IRDY#およびTRDY#両方の信号がマスタ装置とターゲット装置それぞれにより発行されるそれぞれのクロック端で、データはマスタ装置とターゲット装置の間でAD信号により転送される。マスタ装置またはターゲット装置いずれかがIRDY#およびTRDY#信号によりデータ相内に待機サイクルを挿入することが出来る。

【0049】マスタ装置がさらに1つだけデータ転送だけを完了しようとするような時（これはアドレス相の直後に発生する）、FRAME#信号を発行停止し、IRDY#信号を発行してマスタ装置が準備完了していることを示す。ターゲット装置が最終データ転送を示した後、TRDY#信号を発行することにより、PCIバスはFRAME#とIRDY#信号両方が発行停止された待機状態に復帰する。

#### 【0050】バスの駆動と方向転換

1つ以上の装置によって駆動し得るような全ての信号で方向転換サイクルが必要である。方向転換サイクルは1つの装置が信号の駆動を停止し別の装置が開始した場合の衝突を回避するために必要であり、少なくとも1クロック間は継続しなければならない。これは互いの末尾を示す2本の矢印として図3および図4のタイミング図に図示してあるとおりである。方向転換サイクルは異なる信号では異なる時刻に発生する。たとえば、IRDY

#、TRDY#、DEVSEL#信号は方向転換サイクルとしてアドレス相を使用し、一方FRAME#、C/BE#、AD信号はトランザクション間の待機サイクルを方向転換サイクルとして使用する。待機サイクルはFRAME#信号とIRDY#信号が発行停止されている場合に発生する。

【0051】全てのAD信号は、あらゆるアドレス相およびデータ相の間に安定な値となるように駆動する必要がある。さらに、現在のデータ転送に関係しないAD信号のバイト線はバス上で物理的に安定な（すなわち意味を持たない）データとして駆動しなければならない。これの意図することは、転送に関係しないバイト線における入力バッファを閾値レベルで切り換えないように、より一般的には高速準安定自由ラッチを容易に行なえるようにすることである。バス切り換えの電力消費を最小限に抑えるため、現在のバス相で使用していないバイト線は直前のバス相に含まれているのと同じデータに駆動すべきである。出力バッファはクロック間でそのデータを取り込むため内蔵ラッチまたは動的フリップフロップを有することが出来る。

#### 【0052】読み込みトランザクション

図3はPCIバス上の読み込みトランザクションを表わすタイミング図である。マスタ装置はバスの所有権を許可された場合すなわちGNT#信号を調停装置が発行した後、ADおよびC/BE#信号駆動回路をオンにしなければならない。読み込みトランザクションはFRAME#信号が最初に発行された時点で発生するアドレス相から開始しクロック周期2で行なわれる。AD信号はターゲット装置のアドレスを含みC/BE#信号はバスコマンドを含む。

【0053】方向転換サイクルは、マスタ装置がAD信号の駆動を停止しターゲット装置がAD、TRDY#、DEVSEL#信号の駆動を開始した時点で衝突を回避するため、クロック周期3で発生する。これは図3のタイミング図において、それぞれの末尾を指し示す2本の矢印として示してある。方向転換サイクルはクロック周期3からクロック周期4まで続く。ターゲット装置は、要求されたデータをAD信号にある期間供給できない場合であっても、現在のサイクルの選択されたターゲット装置としてこの装置を指定するアドレスを復号したら直ちにAD信号駆動回路をクロック周期4でオンにしなければならない。これは、低速のターゲット装置からバス上に要求されたデータの供給を待つためにバスが停止している場合にAD信号が浮動しないように保証するためである。

【0054】ターゲット装置が有効データを提供できるのは、TRDY#信号経由でターゲット装置が実行するため、もっとも速いものでクロック周期9である。データ相の間、C/BE#信号はどのバイト線が現在のデータ相に関係しているかを示す。C/BE#信号バッファ



はデータが転送されたか否かとは無関係に、浮動しないようにオンにしたままでなければならない。

【0055】データが転送されるとデータ相が終了し、IRDY#信号とTRDY#信号両方が同一クロック端で発行された場合に発生する。いずれかの信号が発行停止された場合、待機サイクルを挿入しデータ転送は行なわれない。図に示してあるように、データがクロック端10、12、14でうまく転送されており、待機サイクルはクロック端11、13に挿入されている。第1のデータ相は読み込みトランザクションの最小時間、すなわちクロック端9からクロック端10までで完了する。第2のデータ相はクロック端11から延在しているが、これはTRDY#信号がターゲット装置により発行停止され待機サイクルを強制的に挿入しているためである。最後のデータ相はクロック端13に延在しているが、これはIRDY#信号がマスタ装置により発行停止され待機周期を強制的に挿入しているためである。

【0056】マスタ装置はクロック端14で次のデータ相が最後であるとわかる。しかし、マスタ装置はIRDY#信号がクロック端13で発行停止された場合最終転送を完了する準備が完了していないのでFRAME#信号は発行されたままとなる。IRDY#信号がクロック端14で発行された場合のみFRAME#信号を発行停止でき、これはクロック端14で発生する。

#### 【0057】書き込みトランザクション

図4はPCIバス上のトランザクションを示すタイミング図である。マスタ装置はバスの所有権を許可された場合すなわちGNT#信号が調停装置から発行された場合ADおよびC/BE#信号駆動回路をオンにしなければならない。書き込みトランザクションはアドレス相から始まり、FRAME#信号がクロック端8で最初の発行された時点で発生し、この時刻にAD信号はターゲット装置のアドレスを含み、またC/BE#信号はバスコマンドを含んでいる。書き込みトランザクションは読み込みトランザクションと類似しているが、マスタ装置がADおよびC/BE#信号をトランザクション全体にわたって駆動するため方向転換サイクルがアドレス相の後で必要でない点が異なっている。

【0058】データ相は読み込みトランザクションと同様に機能する。第1と第2のデータ相は待機サイクルなしで完了する。しかし、第3のデータ相はターゲット装置が挿入した3個の待機サイクルを有している。両方の装置がクロック端11で待機サイクルを挿入しターゲット装置がクロック端12、13で待機サイクルを挿入する。

【0059】IRDY#信号はFRAME#信号が発行停止し最終データ相を表わす場合に発行する必要がある。IRDY#信号が発行停止されるのでデータ転送はクロック端11でマスタ装置により遅延を受ける。これによりマスタ装置はデータを遅延することが出来るが、

AD信号のバイト・インーブルを遅延することは出来ない。最終データ相はクロック端12でマスタ装置から送出されるが、クロック端14まで完了しない。

#### 【0060】トランザクションの完了

トランザクションの完了はマスタ装置またはターゲット装置どちらが起動してもよい。実際にどちらかが一方的にトランザクションを停止しないと、マスタ装置が最終的に制御を取得して、どのような原因で集結したとしても全てのトランザクションを順序だてて体系的な結果に導く。FRAME#信号とIRDY#信号がどちらも発行停止すると全トランザクションが終了し、これにより待機サイクルとなる。

【0061】トランザクション中に調停が行なわれたため、調停装置は現在のトランザクションの終了前にGNT#信号を次に選択した装置に発行する。次に選択された装置はトランザクション終了を表わすFRAME#信号とIRDY#信号の発行停止まで待機する。この時点で、次に選択された装置はADおよびC/BE#バッファをオンにして、バスが浮動しないように保証しなければならない。つまり、GNT#信号は単一トランザクションに限って装置にバスへのアクセスを提供する。装置が別のトランザクションでバスにさらなるアクセスを希望する場合、REQ#信号の発行を継続して調停装置に再度サービスを要求する。

#### 【0062】PCIポートとRAMBUSポートを有する多ポートプロセッサ

図5から図8は多ポートプロセッサ構造においてPCIバスとRAMBUSチャネルを用いる設定の幾つかの実施例である。この構成例が何らかの特定の構造上の制約を伴うことを意図していないことは当業者には理解されよう。

【0063】PCI使用は処理装置と周辺装置を「結合論理」なしに結合する能力、およびその帯域幅たとえば32ビット・モードでは毎秒132メガバイトまたは64ビット・モードでは毎秒264メガバイトを考えると主要なバス規格となり得るものである。さらに、RAMBUSチャネル仕様はたとえばピーク時に毎秒500メガバイトの帯域幅とピン数が少なく電圧信号が小さいことによる低コスト性から、主要なメモリ・インタフェース規格に進化すると思われる。これらを組み合わせた場合、PCIバスとRAMBUSチャネルは比類無い価格/性能比の利点を提供する。

【0064】図5ではPCIバス38とRAMBUSチャネル40に接続した2ポート・プロセッサ36が図示してある。プロセッサ36はPCIバス38へのアクセスのためにCPU/PCIブリッジ44へ結合したCPU/FPU42を含む。CPU/FPU42はRAMBUS制御装置48へのアクセスのためにCPU/メモリブリッジ46へも結合している。RAMBUS制御装置48はRAMBUS40を経由してRAMBUSメモリ



50へのアクセスを提供する。RAMBUSメモリ50はシステムの主メモリ・アレイを実現するために使用する。RAMBUSメモリ50は処理装置36に直接的に接続しているので、PCIバス38装置が主メモリ50を直接アクセスするための外部メモリ制御装置や外部経路は存在しない。RAMBUS制御装置48はPCIバス38からのアクセスのためPCI/メモリブリッジ52に結合している。多数のことなる周辺装置もPCIバス38に接続しており、これには、LANインタフェース54、SCSI56、フレームバッファ60を有するグラフィックス・カード58、基本I/O装置64、拡張スロット66、および拡張スロット68へMCAバス70経由によるアクセスのためのMCAインタフェース論理回路62を含む。このような多ポートプロセッサ設計では高水準の集積度の可能性ならびに全回路を安価なプラスチック・パッケージに収容する可能性を提供し、これにより高性能かつ安価なシステムが提供される。

【0065】図6はPCIバス74およびRAMBUSメモリ70へ結合した2ポートCPU72、ならびにPCIバス74およびRAMBUSメモリ80へ結合した2ポートDSP78を図示している。DSP78はリアルタイム・データ保存用にRAMBUSメモリ80を使用し、これによりDSP78はCPU72に結合したRAMBUSメモリ70上で帯域幅の低下を引き起こすことなくCPU72から独立して動作することが出来る。多数のことなる周辺装置もPCIバス74に結合しており、これにはLANインタフェース82、SCSI84、フレームバッファを有するグラフィックス・カード86、基本I/O装置92、拡張スロット94、拡張スロット96へMCAバス98経由でアクセスするためのMCAインタフェース論理回路90を含む。このような多ポート・プロセッサ設計はマルチメディア機能、ファクシミリ、モデム、その他をPCならびにワークステーション・プラットフォームへ安価に付加する可能性を提供する。

【0066】図7はPCIバス104に接続した3ポートFDDIサブシステム100および3ポートSCSIサブシステム102を示す。FDDIサブシステム100はRAMBUSチャネル108経由でメモリ・アレイに結合したプロセッサを含む。SCSIサブシステム102もRAMBUSチャネル112経由でメモリ・アレイ110に結合したプロセッサを含む。メモリ・アレイ106と110はインテリジェント型I/Oコプロセッサ用のスクラッチ・パッド・データ保存、およびその他の周辺装置たとえば卵巣受信バッファ、ディスクキャッシュなどのためのデータバッファとして利用できる。3ポートであっても、PCIバス104とRAMBUSチャネル108、112のピン効率がよいので該装置をピン数の少ないプラスチック・パッケージで実現可能である。さらに、図7では単一ポートCPU/キャッシュ/

主メモリ・サブシステム114、フレームバッファ118付きの単一ポート・グラフィックス・カード116、基本I/O装置122、拡張スロット124、拡張スロット126へMCAバス128経由でアクセスするためのMCAインタフェース論理回路120を含む。

【0067】図8はPCIバス132に結合した3ポート・サブシステムを図示してある。サブシステム130はRAMBUSチャネル142と144経由で各々メモリ・アレイ138と140に結合したグラフィックス・コプロセッサ134とビデオ制御装置136を含む。メモリ・アレイ138と140はそれぞれコプロセッサ134と制御装置136のコード/データ保存とフレームバッファとして使用できる。独立したフレームバッファ140のため制御装置が画面書き換えのためにフレームバッファ140からデータを取り込む間にコプロセッサ134はデータ保存装置138へアクセスできることになる。さらに、図8では単一ポートCPU/キャッシュ/主メモリ・サブシステム146、単一ポートSCSIインタフェース150、基本I/O装置154、拡張スロット156、拡張スロット158へMCAバス160経由でアクセスするためのMCAインタフェース論理回路152を含む。

【0068】理解されるように、PCIバスおよびRAMBUSチャネルの仕様はPCまたはワークステーションの構成に独自の可能性を生成する。再度問われる問題は統合水準が高くコストが低い高性能でピン効率の良いバスを用い同時多ポート構造を実現する能力である。これらの構成例が何らかの特定の構造上の制約を伴うことを意図していないことは当業者には理解されよう。

#### 【0069】結論

要約すると、プロセッサ、周辺装置およびメモリの部材レベルでの相互接続としてPCIバスを説明してきた。この相互接続はI/O装置用にPCIバスまたは主または2次メモリ用にRAMBUSチャネルを使用する2ポートプロセッサ構成に好適である。PCIバスはあらゆる時点において、衝突防止に必要な方向転換クロックを除き、バスがこれに接続した何らかの装置により論理値1または0に能動的に駆動されることを保証する手順を含む。バスに接続した全ての装置が仕様に準拠している限り、バスは長時間にわたり浮動状態に取り残されることはなく、従ってシステム設計者はその他のバスで通常なら必要とされるプルアップ抵抗を排除することが出来る。

【0070】本発明の好適実施例についての前述の説明は図示および説明のみを目的として示した。前述の説明は余すところ無く説明するまたは本発明を開示した通りの形態に制限することを意図するものではない。本開示の教示に従い多くの変更ならびに変化が可能である。たとえば、以下に本発明を実現する上での幾つかの代替案を説明する。

【0071】本発明が異なる構成の装置および部材からなるシステムに適用可能であることは当業者には理解されよう。本明細書で言及した装置および部材の構成の例は図示を唯一の目的としたものであり余すところ無く説明するまたは本発明を開示した通りの形態に制限することを意図するものではない。

【0072】本発明はピン数が異なり信号定義の異なるバスに適用可能であることは当業者には理解されよう。本明細書で言及したピン数および信号定義は図示を唯一の目的としたものであり余すところ無く説明するまたは本発明を開示した通りの形態に制限することを意図するものではない。

【0073】本発明は異なった機能シーケンスを有するトランザクションを含め異なるトランザクション形式のバスに適用可能であることは当業者には理解されよう。本明細書において言及したトランザクションは図示を唯一の目的としており余すところ無く説明するまたは本発明を開示した通りの形態に制限することを意図したものではない。

【0074】

【発明の効果】本発明は第1のポートがPCIバスとインタフェースし第2のポートがRAMBUSチャネルとインタフェースするような2重ポート・プロセッサアーキテクチャを提供する。

【図面の簡単な説明】

【図1】PCIバスを用いる構成の実施例のブロック図である。

【図2】本発明によるPCIバスの信号定義を示す。

【図3】PCIバス上の読み込みトランザクションを表わすタイミング図である。

【図4】PCIバス上の書き込みトランザクションを表わすタイミング図である。

【図5】多ポートプロセッサアーキテクチャにおいてPCIバス並びにRAMBUSチャネルを使用するアーキテクチャの実施例を示す。

【図6】多ポートプロセッサアーキテクチャにおいてPCIバス並びにRAMBUSチャネルを使用するアーキテクチャの実施例を示す。

【図7】多ポートプロセッサアーキテクチャにおいてPCIバス並びにRAMBUSチャネルを使用するアーキテクチャの実施例を示す。

【図8】多ポートプロセッサアーキテクチャにおいてPCIバス並びにRAMBUSチャネルを使用するアーキテクチャの実施例を示す。

【符号の説明】

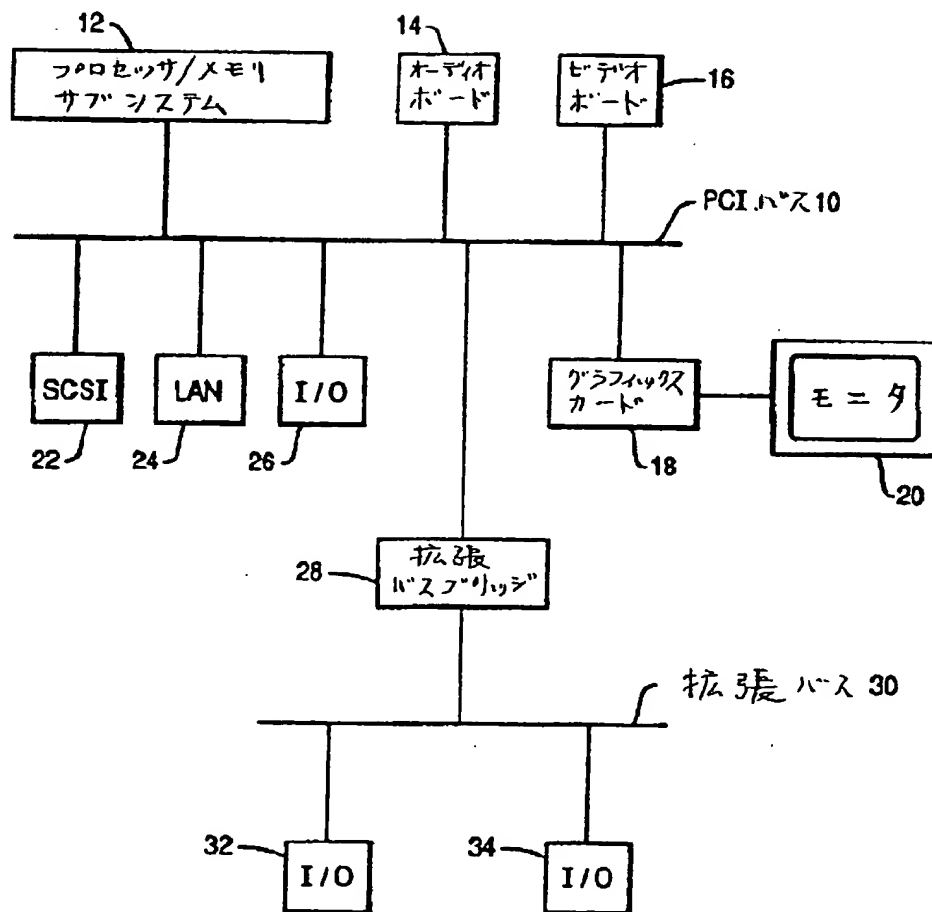
10 PCIバス  
12 プロセッサ  
14 オーディオボード  
16 ビデオボード  
20 モニタ

18 ビデオグラフィックス制御装置  
22 SCSI周辺装置  
24 LANインタフェース  
26 その他のI/O装置  
28 ブリッジ・インタフェース論理回路  
32 拡張I/Oボード  
34 拡張I/Oボード  
30 標準拡張バス  
36 2ポート・プロセッサ  
38 PCIバス  
40 RAMBUS  
42 CPU/FPU  
44 CPU/FPUブリッジ  
46 CPU/メモリブリッジ  
48 RAMBUS制御装置  
50 RAMBUSメモリ  
52 PCI/メモリブリッジ  
54 LANインタフェース  
56 SCSI  
58 グラフィックス・カード  
60 フレームバッファ  
62 MCAインタフェース論理回路  
64 基本I/O装置  
66 拡張スロット  
68 MCAバス拡張スロット  
70 MCAバス  
72 2ポートCPU  
74 PCIバス  
76 RAMBUSメモリ  
78 2ポートDSP  
80 RAMBUSメモリ  
82 LANインタフェース  
84 SCSI  
86 グラフィックス・カード  
88 フレームバッファ  
90 MCAインタフェース論理回路  
92 基本I/O装置  
94 拡張スロット96 MCAバス拡張スロット  
98 MCAバス  
100 3ポートFDDIサブシステム  
102 3ポートSCSIサブシステム  
104 PCIバス  
106 メモリ・アレイ  
108 RAMBUSチャネル  
110 メモリ・アレイ  
112 RAMBUSチャネル  
114 単一ポートCPU/キャッシュ/主メモリ・サブシステム  
116 単一ポート・グラフィックス・カード  
118 フレームバッファ

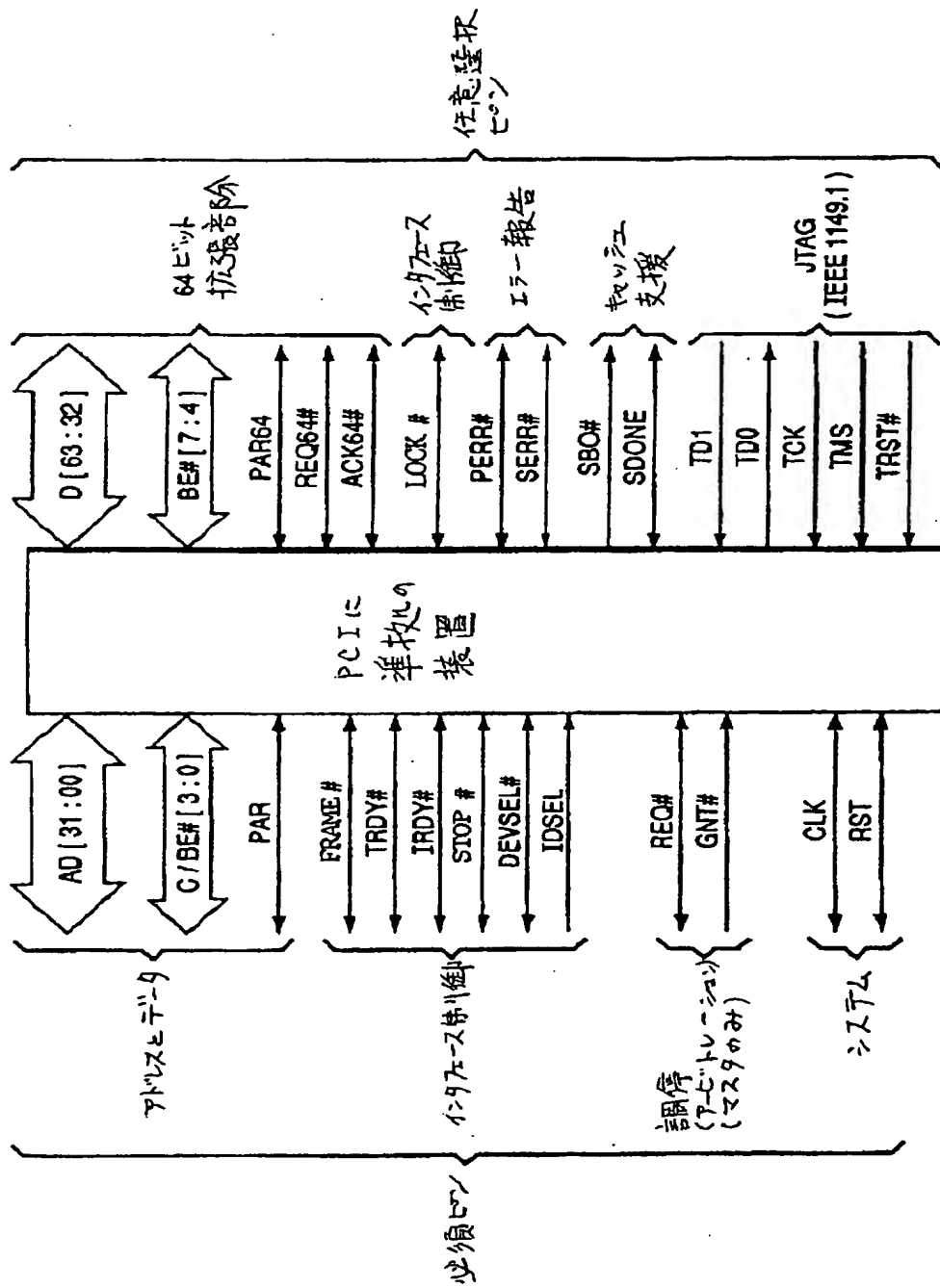
17  
 120 MCAインタフェース論理回路  
 122 基本I/O装置  
 124 拡張スロット  
 126 拡張スロット  
 128 MCAバス  
 130 3ポート・サブシステム  
 132 PCIバス  
 134 グラフィックス・コプロセッサ  
 136 ビデオ制御装置  
 138 メモリ・アレイ  
 140 メモリ・アレイ

18  
 142 RAMBUSチャンネル  
 144 RAMBUSチャンネル  
 146 単一ポートCPU/キャッシュ/主メモリ・サブシステム  
 150 単一ポートSCSIインタフェース  
 152 インタフェース論理回路  
 154 基本I/O装置  
 156 拡張スロット  
 158 拡張スロット  
 10 160 MCAバス

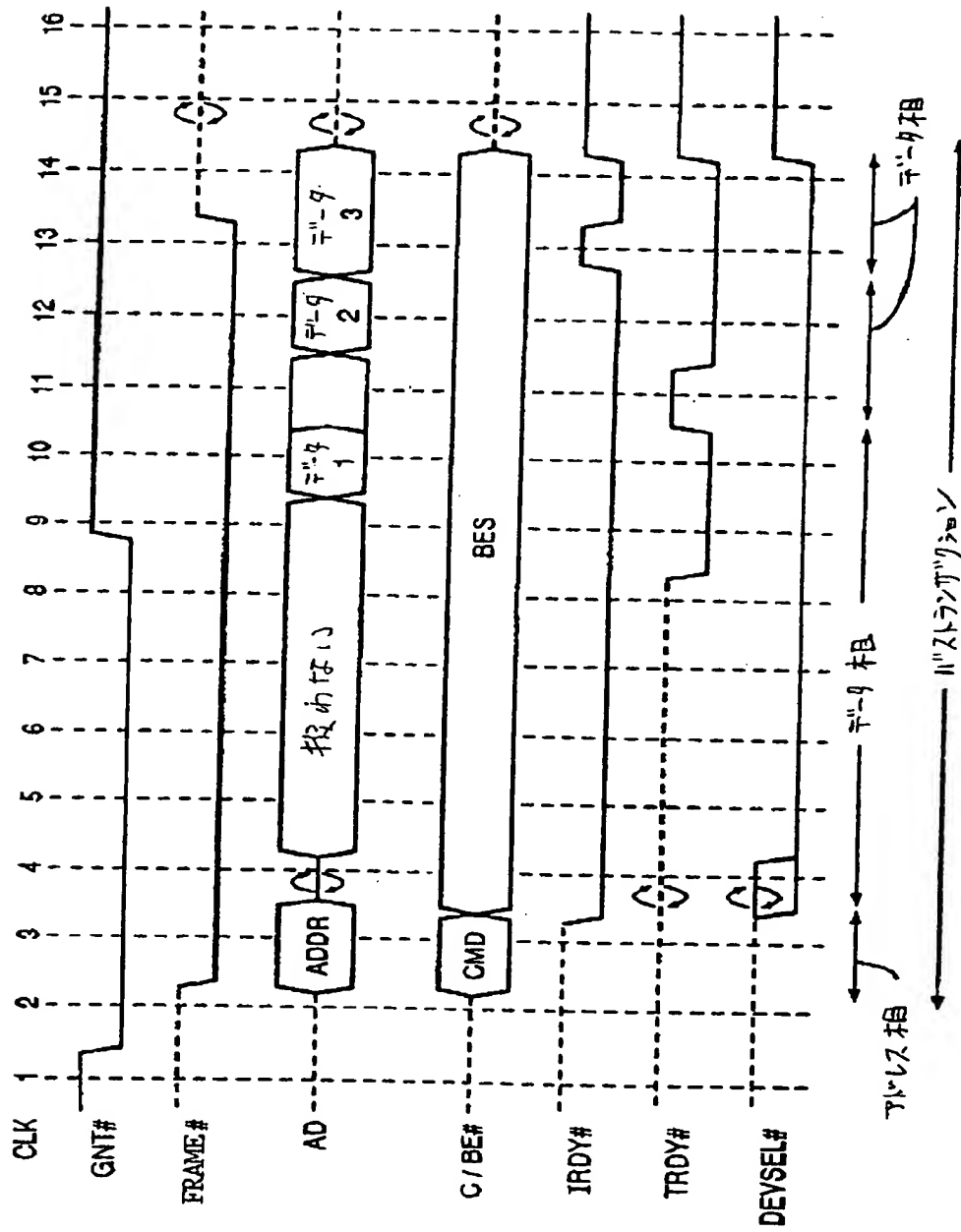
【図1】



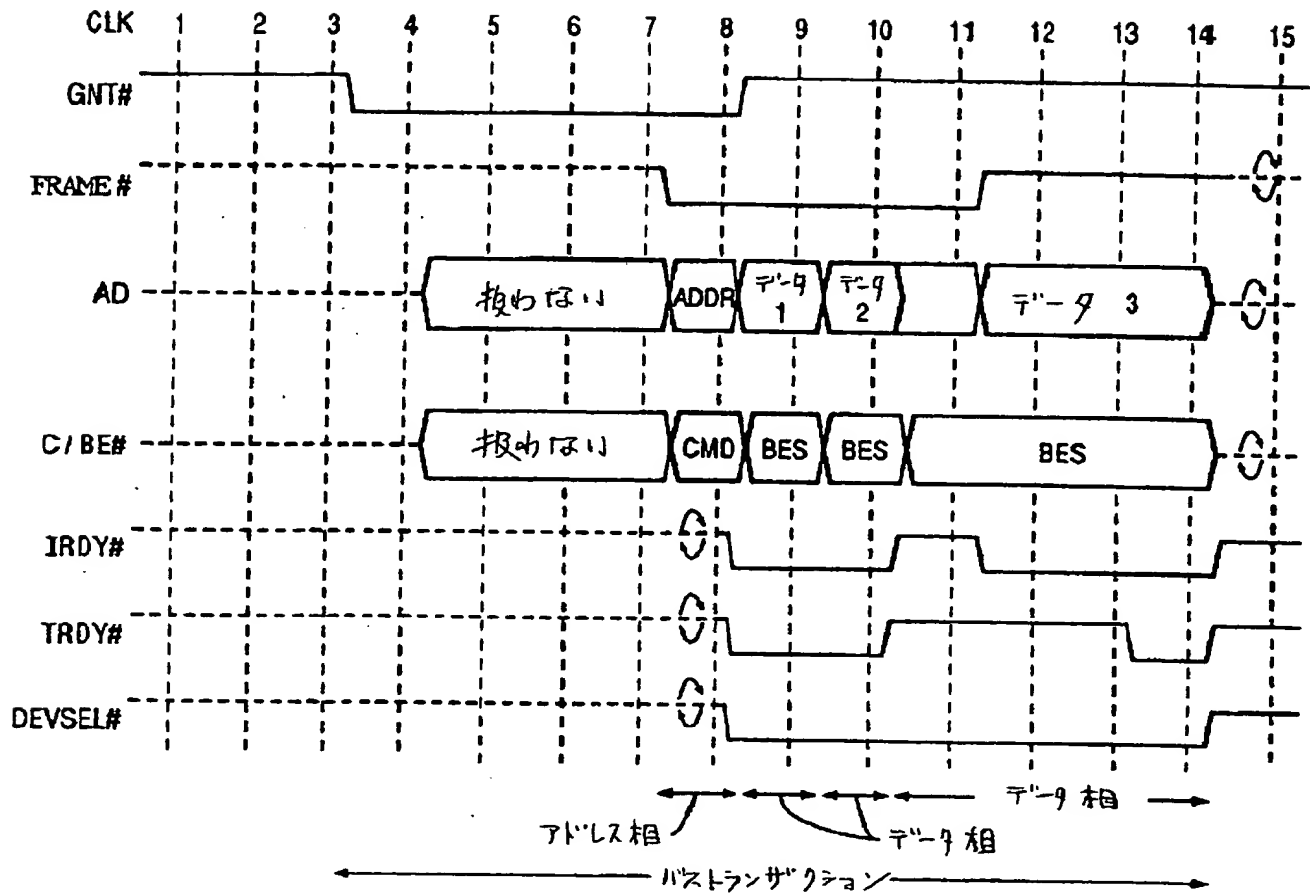
【図2】



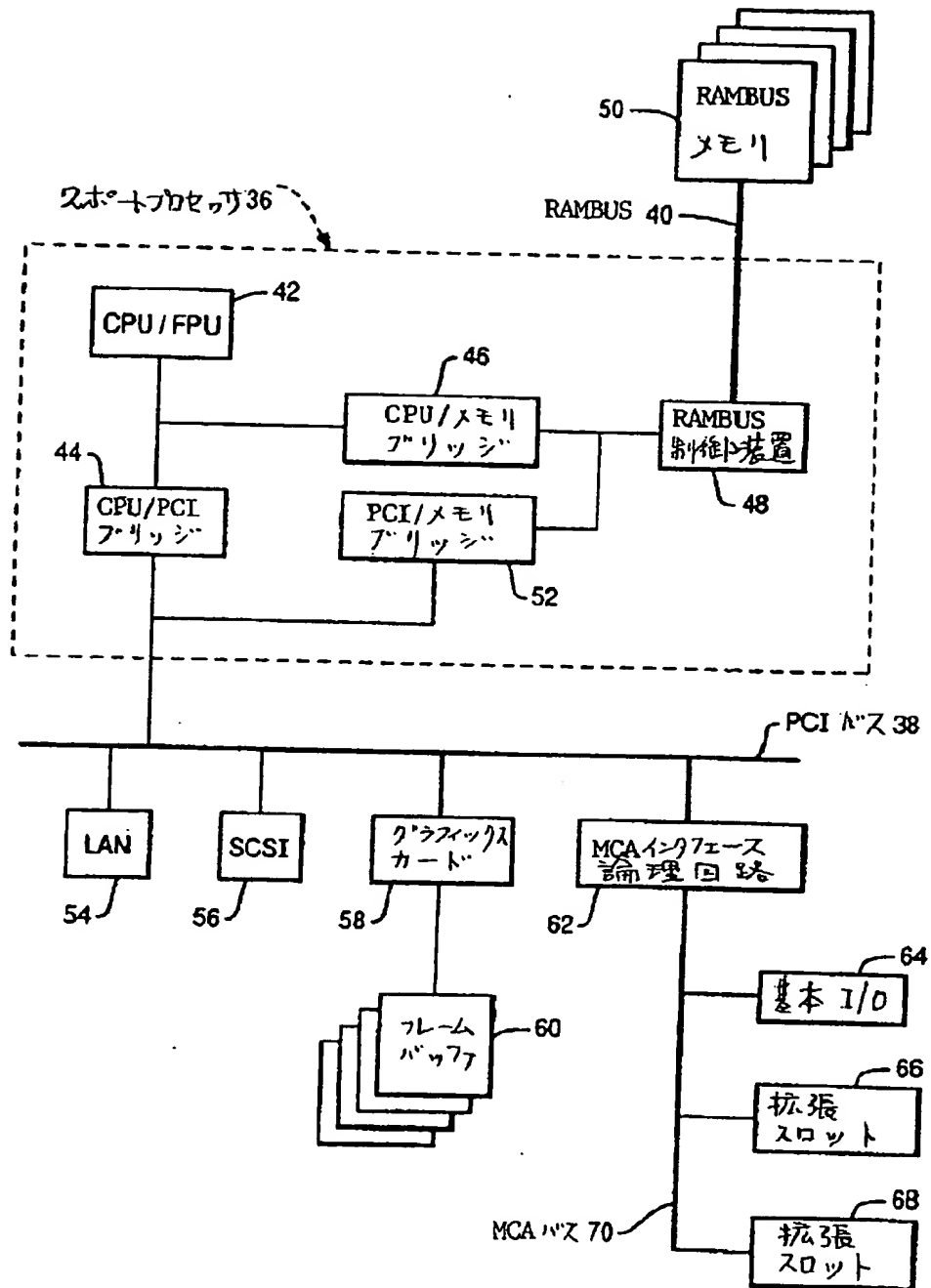
【図3】



【図4】

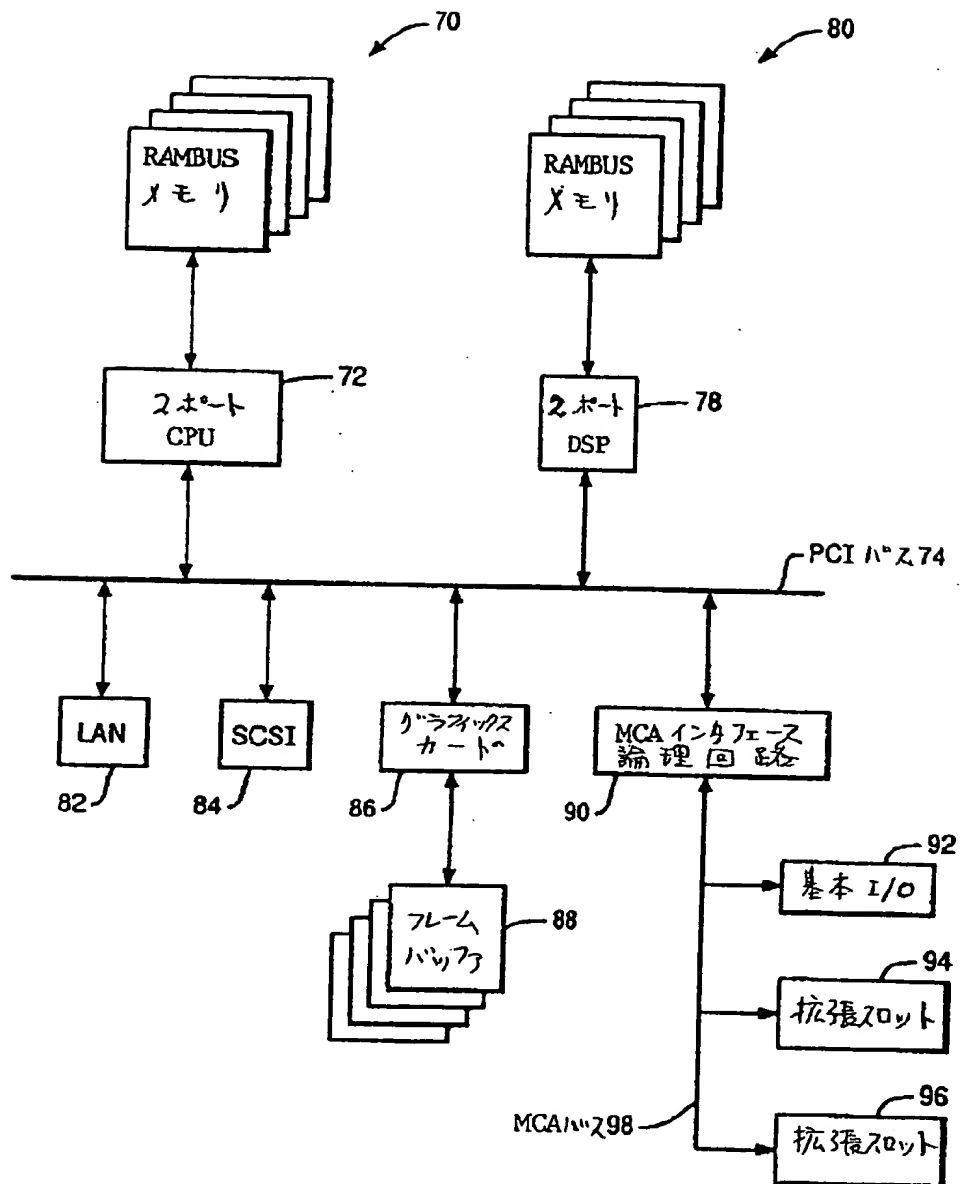


【図5】

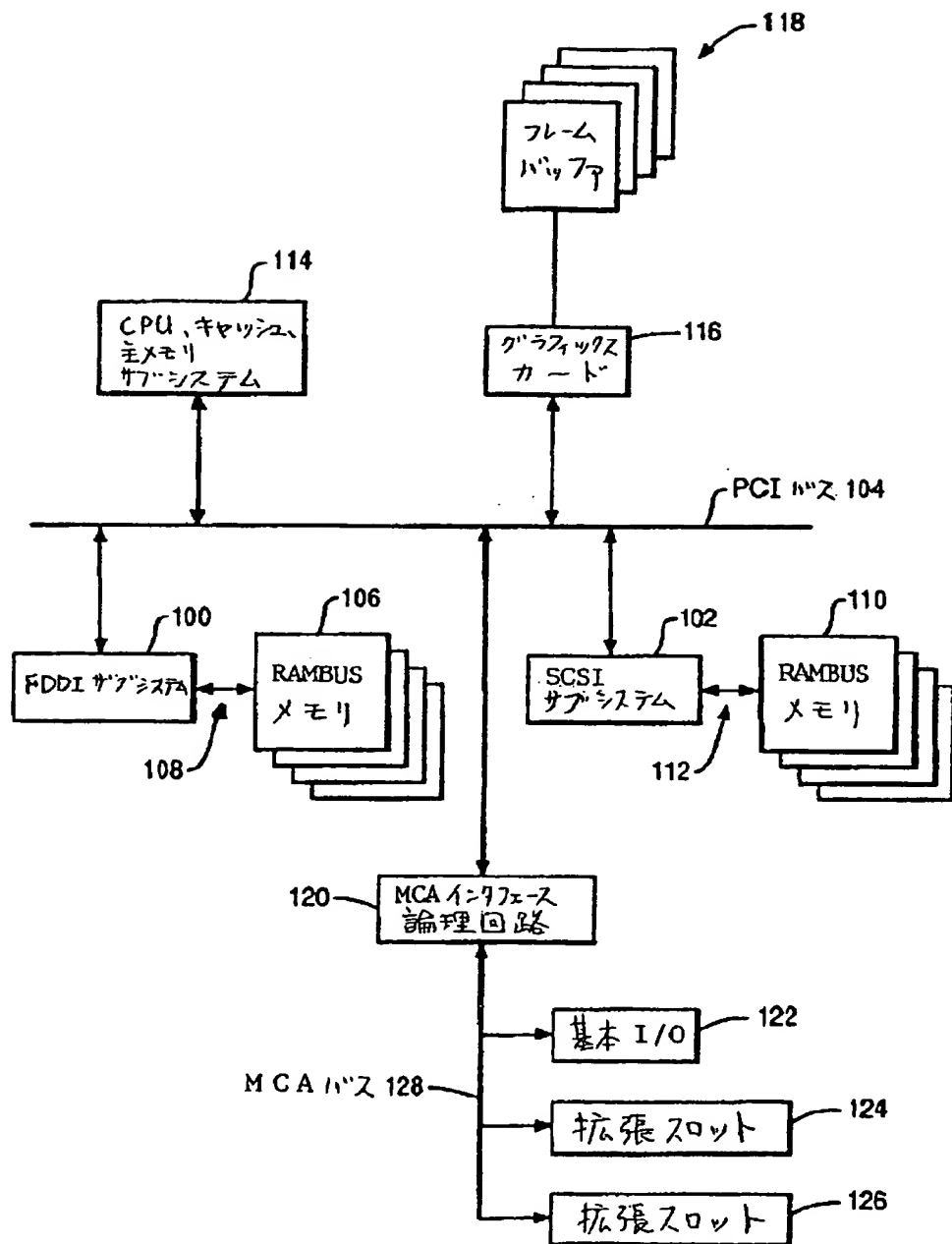




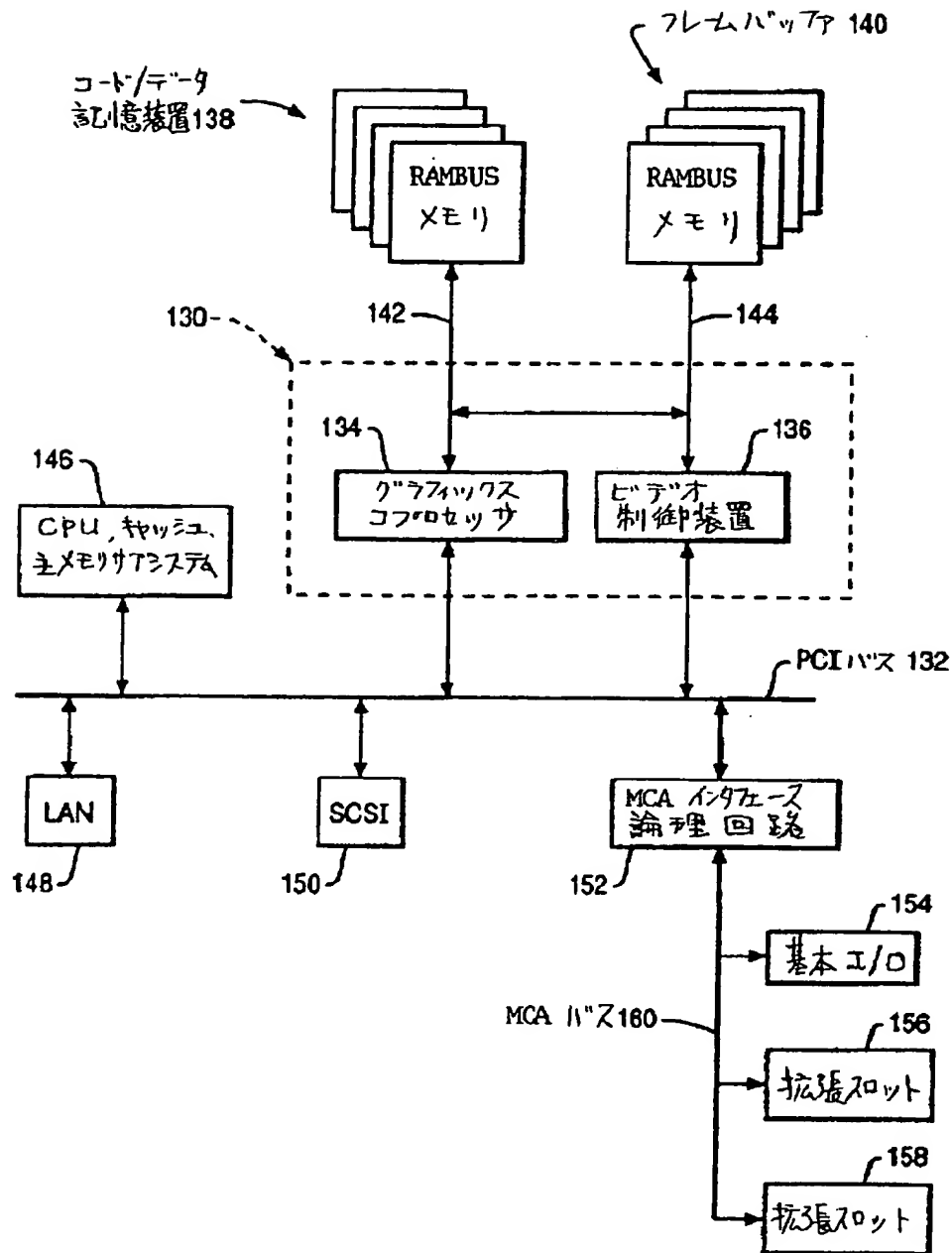
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 クレイグ エイ. ウォールラス  
 アメリカ合衆国 29640 サウス カロラ  
 イナ、イーズリ、フェアファックス ロード 205

(72)発明者 ジェフ エイ. ホーキー  
 アメリカ合衆国 29640 サウス カロラ  
 イナ、イーズリ、バッキンガム ロード 210

(72)発明者 ジム ディー・バイク  
アメリカ合衆国 29607 サウス カロラ  
イナ、グリーンヴィル、クロス ヤード  
28